

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-150768

(P2002-150768A)

(43)公開日 平成14年5月24日(2002.5.24)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

G 1 1 C 11/403  
11/408

G 1 1 C 11/34

3 7 1 J 5 B 0 2 4  
3 5 4 B

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21)出願番号 特願2000-338057(P2000-338057)

(22)出願日 平成12年11月6日(2000.11.6)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 池田 仁史

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100070150

弁理士 伊東 忠彦

Fターム(参考) 5B024 AA15 BA21 BA29 CA07 CA11

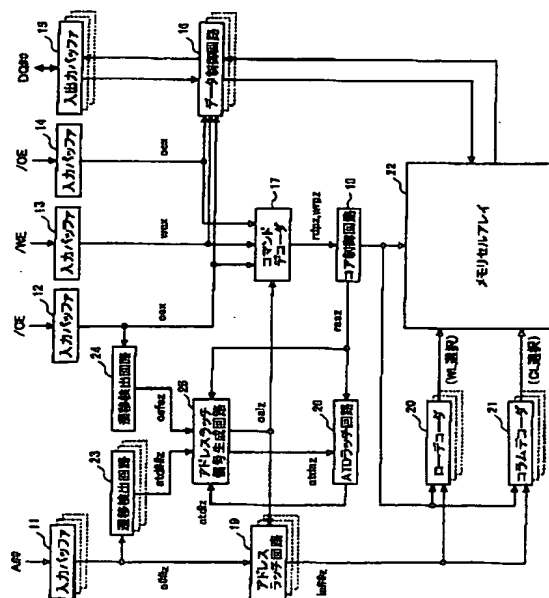
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】本発明は、アドレスに対するタイミング規定を取り払ったSRAM型インターフェースのDRAMを提供することを目的とする。

【解決手段】半導体記憶装置は、外部から供給されるアドレス信号をラッチするラッチ回路と、ラッチ回路が格納するアドレスに対してアクセス動作が実行されるメモリセルキャパシタを含むコア回路と、コア回路が動作中にアドレス信号が変化したことを記憶しておきコア回路の動作終了後にラッチ回路に変化後のアドレス信号をラッチさせるラッチタイミング制御回路を含むことを特徴とする。

本発明によるSRAMインターフェースを備えたDRAMの構成図



1

## 【特許請求の範囲】

【請求項1】外部から供給されるアドレス信号をラッチするラッチ回路と、

該ラッチ回路が格納するアドレスに対してアクセス動作が実行されるメモリセルを含むコア回路と、

該コア回路が動作中に該アドレス信号が変化したことを記憶しておき該コア回路の動作終了後に該ラッチ回路に変化後のアドレス信号をラッチさせるラッチタイミング制御回路を含むことを特徴とする半導体記憶装置。

【請求項2】該ラッチタイミング制御回路は、該コア回路が動作中に該アドレス信号が変化したことを記憶しておき該コア回路の動作終了後に該コア回路に対するアクセス動作を実行させることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】該ラッチタイミング制御回路は、該コア回路が動作中でないときに該アドレス信号が変化したことを検出すると直ちに該ラッチ回路に変化後のアドレス信号をラッチさせることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】該ラッチタイミング制御回路は、該コア回路が動作中でないときにチップイネーブル信号が立ち下がったことを検出すると直ちに該ラッチ回路にアドレス信号をラッチさせることを特徴とする請求項1記載の半導体記憶装置。

【請求項5】該コア回路の動作を制御すると共に該コア回路が動作している期間を示す制御信号を生成するコア制御回路を更に含み、該ラッチタイミング制御回路は、該制御信号に基づいて該コア回路が動作中か否かを判断することを特徴とする請求項1記載の半導体記憶装置。

【請求項6】該制御信号は、該コア回路のワード線の選択動作開始からビット線のプリチャージ動作終了までを該コア回路の動作時間として示すことを特徴とする請求項5記載の半導体記憶装置。

【請求項7】該ラッチタイミング制御回路は、該ラッチ回路にアドレス信号をラッチするよう指示するタイミング信号を供給するアドレスラッチ信号生成回路と、該コア回路が動作中に該アドレス信号が変化したことを記憶しておき該コア回路の動作終了後に該アドレスラッチ信号生成回路に該タイミング信号を生成するように指示するアドレス変化通知信号を供給するアドレス変化ラッチ回路を含むことを特徴とする請求項1記載の半導体記憶装置。

【請求項8】該アドレスラッチ信号生成回路は、該コア回路が動作中でないときにアドレス信号が変化したこと或いはチップイネーブル信号が立ち下がったことを検出すると直ちに該タイミング信号を生成することを特徴とする請求項7記載の半導体記憶装置。

【請求項9】メモリセルを含むコア回路と、該コア回路が動作中に外部から入力されるアドレス信号

2

が変化したことを記憶しておき該コア回路の動作終了後に変化後のアドレス信号に基づいて該コア回路に対するアクセス動作を実行させるタイミング制御回路を含むことを特徴とする半導体記憶装置。

【請求項10】該タイミング制御回路は、該コア回路が動作中でないときに外部から入力されるアドレス信号が変化したこと或いはチップイネーブル信号が立ち下がったことを検出すると直ちに最新のアドレス信号に基づいて該コア回路に対するアクセス動作を実行させることを特徴とする請求項9記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般に半導体記憶装置に関し、詳しくはSRAMのインターフェースを有したDRAMに関する。

## 【0002】

【従来の技術】携帯電話においては、インターネットとの連携などにより取り扱うデータ量が増大しており、大容量のメモリを備えることが必要になっている。現在、携帯電話には消費電力の少ないSRAM(Static Random Access Memory)が使用されているが、SRAMは集積度が低く、容量を大きくするとコストが大幅に増えてしまうという問題がある。

【0003】これに対してDRAM(Dynamic Random Access Memory)は、低コストで大記憶容量を実現するに適している。従って、SRAMに替わってDRAMを携帯電話に搭載することが考えられる。しかしこれまでの携帯電話にはSRAMを使用した形態の膨大な蓄積があるために、携帯電話を設計変更してDRAM使用の形態に切り換えるよりは、外見上SRAMとして使用可能なDRAMを提供するほうが好ましい。従って、SRAMと同一のインターフェースを備えたDRAMを提供することが望まれる。

## 【0004】

【発明が解決しようとする課題】DRAMとSRAMとでは、制御体系が多く異なるが、そのような違いの1つに、データ読み出し時におけるアドレスのタイミング規定がある。SRAMにおいては、リード動作を制御する方法として、チップイネーブル信号(/CE)を立ち下げることによりリード動作を開始する方法と、既にチップイネーブル信号が下がっている状態(/CE=L)でアドレスを変化させてリード動作を開始する方法とがある。

【0005】SRAMにはリード時のアドレスに対するタイミング規定は無いので、上記の何れの方法においても、最後に入力したアドレスのデータが出力されることになる。これについて更に説明する。SRAMにおいては、メモリセルは基本的にフリップフロップであるので、アクセスしてもデータ内容が失われない非破壊のデータ読み出しが可能である。従って、入力アドレスが如

3

何に変化しようとも、メモリセルから装置外部に供給される出力データは、入力アドレスの変化に追従して随時変化することになる。チップイネーブル信号を立ち下げてデータを読み出した場合であっても、既にチップイネーブル信号が下がっている状態でアドレスを変化させた場合であっても、ある時点で出力されているデータは、それまでのアドレス変化の経緯に関わらず最後に入力したアドレスに対するデータである。この時点で更にアドレスが変化すれば、出力データもそれに依拠して変化する。このようにSRAMにおいては、リード時のアドレスを供給するタイミング規定は無く、任意のタイミングで供給したアドレスに依拠して随時出力が得られる。

【0006】それに対してDRAMのメモリセルは、アクセスするとデータ内容が失われてしまう破壊読出ししか出来ない。このためにDRAMにおいては、データアクセス後に、センスアンプのデータをメモリセルに戻す再書き込み（リストア）処理が必要である。この再書き込み処理の最中は、読み出しアドレスを変化させて別のメモリセルにアクセスすることは許されない。このために、リード動作開始時に供給されるアドレスは内部のラッチに格納されて、リード動作の最中はラッチアドレスを保持して固定する。従って、DRAMではSRAMのように任意のタイミングでアドレスを変化させて随時出力データを得ることは不可能である。

【0007】一般に非同期型SRAMと同様のインターフェースを提供するDRAMでは、上記の理由によって、アドレスに対するタイミング規定を設定する必要がある。例えば、チップイネーブル信号／CEの立ち下がり又は一番最初のアドレス信号の変化を検出して、アドレスをメモリ内部に取り込む構成とする。この／CEの立ち下がり又は一番最初のアドレス信号の変化に対して、アクセスするアドレスのセットアップタイム及びホールドタイムが規定されることになる。しかしこのような構成では、アドレスのセットアップタイムが充分でない場合や、最も早いアドレス信号線の変化から最も遅いアドレス信号線の変化までのアドレス遷移の間隔が長い場合には、誤ったアドレスにアクセスする結果となってしまう。

【0008】以上を鑑みて、本発明は、アドレスに対するタイミング規定を取り払ったSRAM型インターフェースのDRAMを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の半導体記憶装置は、外部から供給されるアドレス信号をラッチするラッチ回路と、該ラッチ回路が格納するアドレスに対してアクセス動作が実行されるメモリセルを含むコア回路と、該コア回路が動作中に該アドレス信号が変化したことを記憶しておき該コア回路の動作終了後に該ラッチ回路に変化後のアドレス信号をラッチさせるラッチタイミング制御回路を含むことを特徴とする。

4

【0010】上記ラッチタイミング制御回路は、該コア回路が動作中に該アドレス信号が変化したことを記憶しておき該コア回路の動作終了後に該コア回路に対するアクセス動作を実行させることを特徴とする。

【0011】また上記ラッチタイミング制御回路は、該コア回路が動作中でないときに該アドレス信号が変化したことを検出すると直ちに該ラッチ回路に変化後のアドレス信号をラッチさせることを特徴とする。

【0012】また更に上記ラッチタイミング制御回路は、該コア回路が動作中でないときにチップイネーブル信号が立ち下がったことを検出すると直ちに該ラッチ回路にアドレス信号をラッチさせることを特徴とする。

【0013】上記発明においては、DRAMのコア回路に対して、チップイネーブル信号を立ち下げた時のアドレスに対してリード動作が実行されるが、その後アドレス信号を随時変化させれば出力データはそれに依拠して変化することになる。またアドレス遷移の最初のアドレス信号変化に依拠してリード動作が実行されても、アドレス遷移の最後のアドレス信号変化後に、アドレス遷移終了後の正しいアドレスに対するリード動作が実行されることになる。

【0014】これはコア動作中のアドレス変化を検出した際に、直ちにラッチに格納された内部アドレスを変化させるのではなく、コア動作が終了した後に内部アドレスを書き換えるよう制御することで実現される。従って、DRAMのコア回路を用いる場合において、チップイネーブル信号に対してアドレス信号のタイミングを規定する必要が無く、SRAMと同様のインターフェースを提供することが出来る。なおコア動作中にアドレスを複数回遷移させた場合には、最後のアドレスに対するデータが出力されることになる。

【0015】

【発明の実施の形態】以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0016】図1は、本発明によるSRAM型インターフェースを備えたDRAMの構成図である。

【0017】図1のDRAM10は、複数のアドレス入力バッファ11、コマンド用入力バッファ12乃至14、複数のデータ用入出力バッファ15、データ制御回路16、コマンドデコーダ17、コア制御回路18、アドレスラッチ回路19、ローデコーダ20、コラムデコーダ21、メモリセルアレイ（コア回路）22、アドレス遷移検出回路23、チップイネーブル遷移検出回路24、アドレスラッチ信号生成回路25、及びATDラッチ回路26を含む。

【0018】コマンド用入力バッファ12乃至14は、チップイネーブル信号／CE、ライトイネーブル信号／WE、及びアウトプットイネーブル信号／OEの各制御信号をそれぞれ外部より受け取り、対応する制御信号cex、wex、及びoexをそれぞれデータ制御回路1

5

6及びコマンドデコーダ17に供給する。また制御信号 $cex$ は、チップイネーブル遷移検出回路24にも供給される。

【0019】コマンドデコーダ17は、アドレスラッチ信号生成回路25からのタイミング信号 $eal_z$ が指定するタイミングで、制御信号によって表されるコマンドをデコードする。デコード結果であるリードコマンド信号 $rdp_z$ 或いはライトコマンド信号 $wdp_z$ は、コア制御回路18に供給される。

【0020】コア制御回路18は、各制御信号に応じ10 て、ローデコーダ20、コラムデコーダ21、及びメモリセルアレイ22を制御して、データ読み出し動作或いはデータ書き込み動作を実行する。

【0021】複数のアドレス用入力バッファ11は、外部から対応するアドレス信号 $A\#\#$  ( $A01$ 、 $A02$ 、 $A03$ 、 $\dots$ )を受け取り、アドレス遷移検出回路23及びアドレスラッチ回路19にアドレス信号を供給する。アドレスラッチ回路19は、アドレスラッチ信号生成回路25からのタイミング信号 $eal_z$ が指定するタイ20 ミングでアドレス信号をラッチして、ラッチしたアドレス信号をローデコーダ20及びコラムデコーダ21に供給する。

【0022】ローデコーダ20は、ローアドレスをデコードして、デコードローアドレスが指定するワードのワード線をメモリセルアレイ22において活性化する。メモリセルアレイ22においては、活性化ワード線に接続されたメモリセルのデータを、ビット線を介してセンスアンプに供給する。ここでメモリセルアレイ22は、メモリセルキャパシタに電荷を蓄積するDRAMタイプの30 コア回路である。コラムデコーダ21は、コラムアドレスをデコードして、デコードコラムアドレスが指定するコラムのコラム選択線をメモリセルアレイ22において活性化する。そのコラム選択線に接続されたセンスアンプのデータは、メモリセルアレイ22からデータ制御回路16に供給される。

【0023】データ制御回路16は、コマンド用入力バッファ12乃至14を介して外部から供給される制御信号に基づいて動作し、メモリセルアレイ22から読み出されたデータを、データ用入出力バッファ15に供給する。データ用入出力バッファ15は、読み出されたデータ40 をDRAM10外部に供給すると共に、書き込まれるデータを外部から受け取る。書き込みデータは、データ制御回路16、センスアンプ、ビット線等を介して、メモリセルアレイ22の選択されたワードのメモリセルに書き込まれる。

【0024】非同期型SRAMインターフェースを提供するために、図1のDRAM10は、アドレス遷移検出回路23、チップイネーブル遷移検出回路24、アドレスラッチ信号生成回路25、及びATDラッチ回路2650 を備える。ここでアドレスラッチ信号生成回路25及び

6

ATDラッチ回路26が、アドレスラッチ回路19のラッチタイミングを制御するラッチタイミング制御回路を構成する。

【0025】アドレス遷移検出回路23は、複数のアドレス用入力バッファ11から供給される各アドレスビットに対応して複数個設けられる。各アドレス遷移検出回路23は、対応するアドレス用入力バッファ11からアドレス信号を受け取り、アドレス信号の立ち上がり或いは立ち下がりの変化にตอบสนองしてパルス信号を出力する。このパルス信号 $atd\#\#_z$  ( $atd00_z$ 、 $atd01_z$ 、 $atd02_z$ 、 $\dots$ )は、アドレスラッチ信号生成回路25に供給される。

【0026】チップイネーブル遷移検出回路24は、コマンド用入力バッファ12から制御信号 $cex$ を受け取り、この制御信号の立ち下がりの変化にตอบสนองしてパルス信号を出力する。このパルス信号 $cefe_z$ は、アドレスラッチ信号生成回路25に供給される。

【0027】アドレスラッチ信号生成回路25は、各パルス信号 $atd\#\#_z$ 及びパルス信号 $cefe_z$ のORをとり、タイミング信号 $eal_z$ を出力する。このタイミング信号 $eal_z$ は、アドレスラッチ回路19とコマンドデコーダ17に供給されて、アドレスラッチタイミング及びコマンドデコードタイミングを規定する。アドレスラッチ回路19は、タイミング信号 $eal_z$ が供給されたときに、アドレス用入力バッファ11からのアドレス信号 $a\#\#_z$ をラッチする。またコマンドデコーダ17は、タイミング信号 $eal_z$ が供給されたときにリード動作指定 ( $/CE=L$ 、 $/OE=L$ 、 $/WE=H$ ) になっていれば、リードコマンド信号 $rdp_z$ を出力してリード動作を開始する。

【0028】メモリセルアレイ22のメモリアレイが動作中に内部アドレスが変化するとデータを破壊してしまうので、アドレスラッチ信号生成回路25は、タイミング信号 $eal_z$ を一度出力すると、メモリセルアレイ22のコア回路の動作が終了するまでは次のタイミング信号 $eal_z$ を出力しない。即ち、例えばコア回路の動作中に外部から入力されるアドレス $A\#\#$ が変化して、アドレス遷移検出回路23がパルス信号 $atd\#\#_z$ を供給したとしても、アドレスラッチ信号生成回路25は40 タイミング信号 $eal_z$ を直ぐには出力しない。

【0029】コア動作中にアドレス変化があったことは、ATDラッチ回路26が記憶しておく。そしてメモリセルアレイ22のコア回路動作が終了したときに、ATDラッチ回路26は、コア動作中にアドレス変化があった旨をアドレスラッチ信号生成回路25に通知する。アドレスラッチ信号生成回路25は、この通知を受けて、このアドレス変化にตอบสนองしたタイミング信号 $eal_z$ を出力する。これによって、アドレスラッチ回路19は現在のアドレス信号をラッチし、またコマンドデコーダ17がリードコマンド信号 $rdp_z$ を出力して、変化

7

後のアドレスに対応したリード動作を開始する。

【0030】コア動作に基づいた上記制御は、コア制御回路18が出力する制御信号 $r a s z$ によって行われる。この制御信号 $r a s z$ は、メモリセルアレイ22のコア回路が動作している間はHIGHである信号であり、コア制御回路18からATDラッチ回路26に供給される。ATDラッチ回路26は、アドレスラッチ信号生成回路25がアドレス変化を検出すると生成するアドレス変化検出信号 $a t d a z$ を受け取り、この信号により内部フリップフロップ回路をセットすることで、アドレス変化があった旨を記憶する。コア回路の動作が終了して制御信号 $r a s z$ がLOWになると、ATDラッチ回路26は、内部フリップフロップ回路をリセットすると共に、アドレス変化通知信号 $a t d l z$ をアドレスラッチ信号生成回路25に供給する。アドレス変化通知信号 $a t d l z$ に応じて、アドレスラッチ信号生成回路25はタイミング信号 $e a l z$ を出力する。

【0031】図2は、アドレスラッチ信号生成回路25の実施例を示す回路図である。

【0032】図2のアドレスラッチ信号生成回路25は、NOR回路31乃至33、フリップフロップ34、インバータ35乃至37、及びディレイ回路38を含む。

【0033】NOR回路32及びインバータ37は、アドレス遷移検出回路23からアドレス遷移を示すパルス信号 $a t d \# z$ を受け取り、これらのパルス信号のORをとることでアドレス変化検出信号 $a t d a z$ を生成する。アドレス変化検出信号 $a t d a z$ は、ATDラッチ回路26に供給される。

【0034】まずコア回路が非動作状態であり制御信号 $r a s z$ がLOWである場合を考える。

【0035】NOR回路31は、チップイネーブル遷移検出回路24からのチップイネーブルの立ち下りに対応するパルス信号 $c e f e z$ と、上記アドレス変化検出信号 $a t d a z$ とを受け取る。制御信号 $r a s z$ がLOWであるのでNOR回路33はインバータとして動作し、パルス信号 $c e f e z$ とアドレス変化検出信号 $a t d a z$ とのORが、フリップフロップ34のセット入力に供給される。従ってアドレス遷移があった場合或いはチップイネーブルされた場合に、フリップフロップ34がセットされ、タイミング信号 $e a l z$ がHIGHになる。タイミング信号 $e a l z$ がHIGHになると、所定の遅延時間後にディレイ回路38の出力がHIGHになり、フリップフロップ34がリセットされる。従って、タイミング信号 $e a l z$ は、所定の時間間隔だけHIGHになるパルス信号として出力される。

【0036】コア回路が動作状態であり制御信号 $r a s z$ がHIGHである場合には、NOR回路33の出力はLOWに固定され、フリップフロップ34がセットされることは無い。従って、タイミング信号 $e a l z$ は出力

8

されない。これによって、コア回路が動作中にアドレス遷移があったときに、アドレスラッチ回路19の内容が書き換えられてメモリセルアレイ22のデータが破壊されるのを防ぐことが出来る。

【0037】図3は、ATDラッチ回路26の実施例を示す回路図である。

【0038】図3のATDラッチ回路26は、インバータ41乃至43、NOR回路44、NAND回路45、フリップフロップ46、及びディレイ回路47を含む。

【0039】インバータ41及び42とNOR回路44とで、AND回路を構成する。従って、フリップフロップ46のセット入力には、制御信号 $r a s z$ とアドレス変化検出信号 $a t d a z$ とのAND論理が入力される。即ち、コア回路が動作中にアドレス遷移が生じた場合にのみ、フリップフロップ46はセットされる。このときインバータ41の出力はLOWであるので、NAND回路45の出力はHIGHに固定され、アドレス変化通知信号 $a t d l z$ は出力されない。

【0040】ATDラッチ回路26は、このように内部フリップフロップ回路46をセットすることで、アドレス変化があった旨を記憶する。コア回路の動作が終了して制御信号 $r a s z$ がLOWになると、NAND回路45の出力はLOWになり、アドレス変化通知信号 $a t d l z$ がHIGHになる。アドレス変化通知信号 $a t d l z$ がHIGHになると、所定の遅延時間後にディレイ回路47の出力がHIGHになり、フリップフロップ46がリセットされる。従って、アドレス変化通知信号 $a t d l z$ は、所定の時間間隔だけHIGHになるパルス信号として出力される。

【0041】前述したように、このアドレス変化通知信号 $a t d l z$ はアドレスラッチ信号生成回路25に供給され、これに応じて、アドレスラッチ信号生成回路25がタイミング信号 $e a l z$ を出力する。

【0042】図4は、チップイネーブル信号/CEを立ち下げることによりリード動作を開始した後にアドレスが遷移した場合の各信号波形を示す図である。

【0043】図4(a)はチップイネーブル信号/CEを示し、(b)はチップイネーブル信号/CEに対応するコマンド用入力バッファ12の出力信号 $c e x$ 、

(c)はチップイネーブル遷移検出回路24の出力パルス信号 $c e f e z$ 、(d)はアドレス信号を代表してA00を示す。また(e)はアドレス信号A00に対するアドレス用入力バッファ11の出力アドレス信号 $a 0 0 z$ 、(f)はアドレス信号A00に対するアドレス遷移検出回路23の出力パルス信号 $a t d 0 0 z$ 、(g)はアドレスラッチ信号生成回路25が生成するアドレス変化検出信号 $a t d a z$ 、(h)はアドレスラッチ信号生成回路25が生成するタイミング信号 $e a l z$ を示す。また更に、(i)はアドレス信号 $a 0 0 z$ に対するアドレスラッチ回路19の出力である内部アドレス信号 $i a$

9

00z、(j)はコマンドデコーダ17が生成するリードコマンド信号rdpz、(k)はコア制御回路18が生成するコア回路の動作期間を示す制御信号rasz、(l)はATDラッチ回路26が生成するアドレス変化通知信号atdlzを示す。

【0044】図4に示されるように、まずチップイネーブル信号/CEが立ち下ると、チップイネーブル遷移を示すパルス信号cefezが生成される。このパルス信号cefezにตอบสนองして、タイミング信号ealzがアドレスラッチ信号生成回路25から出力される。

【0045】図4の例では、外部から供給するアドレス信号A00は、チップイネーブル信号/CEが立ち下がってから時間T0後に入力される(時間T0後に遷移する)。図4に示されるように、アドレス信号A00が変化するタイミングは、タイミング信号ealzがアドレスラッチ信号生成回路25から出力されるタイミングより後である。従って、タイミング信号ealzにตอบสนองして、変化前のLOWであるアドレス信号a00zがラッチされ、内部アドレス信号ia00zがLOWになる。またタイミング信号ealzにตอบสนองしてリードコマンド信号rdpzが生成されて、リード動作が開始される。このリード動作は、アドレス遷移が行われる前のアドレスに対して実行されることになる。またこの時、コア回路が動作中となるので、制御信号raszがHIGHになる。

【0046】コア回路が動作中で制御信号raszがHIGHである期間中に、上記アドレス信号A00の遷移が起こる。このアドレス変化によってアドレス変化検出信号atdazが生成されるが、コア回路が動作中で制御信号raszがHIGHであるために、タイミング信号ealzは生成されない。

【0047】コア回路が動作が終了して制御信号raszがLOWになると、アドレス変化検出信号atdazを記憶していたATDラッチ回路26がアドレス変化通知信号atdlzを生成する。このアドレス変化通知信号atdlzにตอบสนองして、アドレスラッチ信号生成回路25がタイミング信号ealzを生成する。

【0048】この2番目のタイミング信号ealzにตอบสนองして、アドレスラッチ回路19が遷移後のアドレス信号a00zをラッチし、内部アドレスia00zは遷移後のアドレスを反映することになる。またタイミング信号ealzにตอบสนองしてリードコマンド信号rdpzが生成されて、リード動作が開始される。このリード動作は、アドレス遷移後のアドレスに対して実行されることになる。

【0049】このようにして本発明においては、DRAMのコア回路に対して、チップイネーブル信号を立ち上げた時のアドレスに対してリード動作が実行されるが、その後アドレス信号を随時変化させれば出力データはそれに従って変化することになる。これはコア動作中のア

10

ドレス変化を検出した際に、直ちに内部アドレスを変化させるのではなく、コア動作が終了した後に内部アドレスを書き換えるよう制御することで実現される。従って、DRAMのコア回路を用いる場合において、チップイネーブル信号に対してアドレス信号のタイミングを規定する必要が無く、SRAMと同様のインターフェースを提供することが出来る。なおコア動作中にアドレスを複数回遷移させた場合には、最後のアドレスに対するデータが出力されることになる。

10 【0050】図5は、アドレス遷移にかかる時間が長い場合のリード動作について各信号波形を示した図である。

【0051】図5(a)はアドレス信号A00を示し、(b)はアドレス信号A00に対するアドレス用入力バッファ11の出力アドレス信号a00z、(c)はアドレス信号A00に対するアドレス遷移検出回路23の出力パルス信号atd00zを示す。また図5(d)はアドレス信号A01を示し、(e)はアドレス信号A01に対するアドレス用入力バッファ11の出力アドレス信号a01z、(f)はアドレス信号A01に対するアドレス遷移検出回路23の出力パルス信号atd01zを示す。(g)はアドレスラッチ信号生成回路25が生成するアドレス変化検出信号atdaz、(h)はアドレスラッチ信号生成回路25が生成するタイミング信号ealzを示す。また更に、(i)はアドレス信号a00zに対するアドレスラッチ回路19の出力である内部アドレス信号ia00z、(j)はアドレス信号a01zに対するアドレスラッチ回路19の出力である内部アドレス信号ia01z、(k)はコマンドデコーダ17が生成するリードコマンド信号rdpz、(l)はコア制御回路18が生成するコア回路の動作期間を示す制御信号rasz、(m)はATDラッチ回路26が生成するアドレス変化通知信号atdlzを示す。

【0052】図5に示されるように、外部アドレス信号A00が変化してからT1時間後に外部アドレス信号A01が変化する。ここで、外部アドレス信号A00は全アドレス信号のうちで最も早く変化する信号であり、外部アドレス信号A01は最も遅く変化する信号であるとする。即ち、アドレス遷移は、時間T1をかけて終了することになる。

【0053】外部アドレス信号A00の変化に応じて、アドレス遷移検出回路23の出力としてパルス信号atd00zが生成される。更にこのパルス信号にตอบสนองして、アドレスラッチ信号生成回路25がアドレス変化検出信号atdaz及びタイミング信号ealzを生成する。

【0054】タイミング信号ealzにตอบสนองして、LOWであるアドレス信号a00z及びa01zがラッチされ、内部アドレス信号ia00z及びia01zがLOWになる。またタイミング信号ealzにตอบสนองしてリード

11

コマンド信号  $r d p z$  が生成されて、リード動作が開始される。このリード動作は、外部アドレス信号  $A 0 0$  が変化した直後のアドレス、即ち遷移が終了していない状態の誤ったアドレスに対して実行されることになる。またこの時、コア回路が動作中となるので、制御信号  $r a s z$  が  $H I G H$  になる。

【0055】コア回路が動作中で制御信号  $r a s z$  が  $H I G H$  である期間中に、外部アドレス信号  $A 0 1$  の遷移が起こる。このアドレス変化によってアドレス変化検出信号  $a t d a z$  が生成されるが、コア回路が動作中で制  
御信号  $r a s z$  が  $H I G H$  であるために、タイミング信号  $e a l z$  は生成されない。

【0056】コア回路が動作が終了して制御信号  $r a s z$  が  $L O W$  になると、アドレス変化検出信号  $a t d a z$  を記憶していた  $A T D$  ラッチ回路 26 がアドレス変化通知信号  $a t d l z$  を生成する。このアドレス変化通知信号  $a t d l z$  に応答して、アドレスラッチ信号生成回路 25 がタイミング信号  $e a l z$  を生成する。

【0057】この2番目のタイミング信号  $e a l z$  に応答して、アドレスラッチ回路 19 が遷移終了後のアドレス信号  $a 0 0 z$  及び  $a 0 1 z$  をラッチし、内部アドレス  $i a 0 0 z$  及び  $i a 0 1 z$  は遷移終了後のアドレスを反映することになる。またタイミング信号  $e a l z$  に応じてリードコマンド信号  $r d p z$  が生成されて、リード動作が開始される。このリード動作は、アドレス遷移終了後の正しいアドレスに対して実行されることになる。

【0058】このようにして本発明においては、 $D R A M$  のコア回路に対して、アドレス遷移の最初のアドレス信号変化に応答してリード動作が実行されてしまうが、アドレス遷移の最後のアドレス信号変化後に、アドレス遷移終了後の正しいアドレスに対するリード動作が実行されることになる。これはコア動作中のアドレス変化を検出した際に、直ちに内部アドレスを変化させるのではなく、コア動作が終了した後に内部アドレスを書き換えるよう制御することで実現される。従って、 $D R A M$  のコア回路を用いる場合において、アドレス信号の遷移時間に対して特にタイミング規定を設ける必要が無く、 $S R A M$  と同様のインターフェースを提供することが出来る。

【0059】図6は、メモリセルアレイ 22 のコア回路の主要部分を示す回路図である。

【0060】図6に示されるように、トランジスタ 51 及び 52 を介して、メモリセルキャパシタ 53 及び 54 が、ビット線  $B L$  及び  $\overline{B L}$  にそれぞれ接続される。ワード線  $W L 0$  及び  $W L 1$  が、それぞれトランジスタ 51 及び 52 のゲートに接続されており、ワード線が選択活性化されるとメモリセルのデータがビット線  $B L$  及び  $\overline{B L}$  に読み出される。

【0061】ビット線  $B L$  及び  $\overline{B L}$  に読み出されたデータは、センスアンプ 55 によって増幅される。センス

12

アンプ 55 の動作は、センスアンプ活性化信号  $L E$  によって制御され、この信号が  $H I G H$  になるとセンスアンプが駆動される。

【0062】図7は、制御信号  $r a s z$  とコア回路の各信号との関係を示す波形図である。

【0063】図7(a)に示されるように、まずワード線  $W L 1$  が  $H I G H$  になる。これによって、図6のトランジスタ 52 が導通状態となる。メモリセルがビット線に電氣的に接続されることによりメモリセルの電荷がビット線に供給され、図6に示されるメモリセル 54 とトランジスタ 52 との間のノードの電位  $S T$  は、図7

(a)に示されるように下降する。これに対応して、ビット線  $B L$  の電位が上昇する。このタイミングで、センスアンプ活性化信号  $L E$  が  $H I G H$  になり、センスアンプ 55 が駆動開始する。センスアンプ 55 によって、ビット線  $B L$  及び  $\overline{B L}$  間の電位差が増大するように電位が増幅される。十分にビット線  $B L$  及び  $\overline{B L}$  間の電位差が開いた状態でデータが読み出され、それと共に上記ノードの電位  $S T$  が回復してデータのリストアが終了する。ワード線  $W L 1$  及びセンスアンプ活性化信号  $L E$  が  $L O W$  に戻ると、その後ビット線を同一の中間電位にチャージするプリチャージ動作及びイコライズ動作が実行されて、ビット線  $B L$  及び  $\overline{B L}$  が同電位となる。

【0064】図7(b)には、制御信号  $r a s z$  の信号波形が、図7(a)の各信号波形と関連付けて示される。制御信号  $r a s z$  は前述のようにコア回路の動作期間を示す信号であり、図7(b)に示されるように、ワード線の選択動作即ちデコード動作等にかかる時間だけワード線  $W L$  の活性化より前に  $H I G H$  になり、ビット線  $B L$  及び  $\overline{B L}$  のプリチャージ動作が終了した後に  $L O W$  になる。即ち、制御信号  $r a s z$  が  $H I G H$  になった時点からコア回路の動作が開始されて、ワード線選択動作即ちワード線のデコード及び活性化が行われ、メモリセルのデータがビット線に読み出され、センスアンプが活性化され、データ読み出し及びデータリストアが終了後、ビット線がプリチャージされる。このビット線が同電位にプリチャージされてプリチャージ動作が終了すると、コア回路の動作が終了したとして制御信号  $r a s z$  が  $L O W$  になる。

【0065】例えば、アドレスラッチ信号生成回路 25 及び  $A T D$  ラッチ回路 26 にコア回路動作期間を通知するという目的だけを考慮すれば、アドレスラッチ信号生成回路 25 及び  $A T D$  ラッチ回路 26 が応答してからアドレスラッチ回路 19 がアドレスをラッチするまでの時間を考慮して、制御信号  $r a s z$  が  $L O W$  に戻るタイミングを若干早めることも可能である。即ち、仮にビット線が完全にプリチャージされていない状態で制御信号  $r a s z$  が  $L O W$  に戻っても、アドレスラッチ信号生成回路 25 及び  $A T D$  ラッチ回路 26 が応答してからアドレスラッチ回路 19 がアドレスをラッチするまでに若干の

13

時間遅れが存在するので、実際にアドレスラッチ回路19がアドレスをラッチするまでには、ビット線のプリチャージ動作は終了することになる。このように制御信号 *rasz* のタイミングは、基本的にはコア回路の実際の動作期間と一致するが、詳細なタイミングの取り方は設計時の選択事項であり、HIGHである期間はそれに応じて適宜調整することが可能である。

【0066】以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

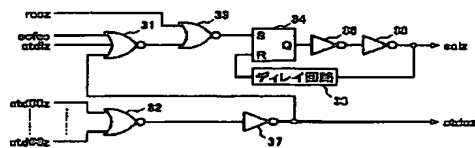
【0067】

【発明の効果】本発明においては、DRAMのコア回路に対して、チップイネーブル信号を立ち下げた時のアドレスに対してリード動作が実行されるが、その後アドレス信号を随時変化させれば出力データはそれに応じて変化することになる。またアドレス遷移の最初のアドレス信号変化にตอบสนองしてリード動作が実行されても、アドレス遷移の最後のアドレス信号変化後に、アドレス遷移終了後の正しいアドレスに対するリード動作が実行されることになる。

【0068】これはコア動作中のアドレス変化を検出した際に、直ちにラッチに格納された内部アドレスを変化させるのではなく、コア動作が終了した後に内部アドレスを書き換えるよう制御することで実現される。従って、DRAMのコア回路を用いる場合において、チップイネーブル信号に対してアドレス信号のタイミングを規定する必要が無く、SRAMと同様のインターフェースを提供することが出来る。これにより、低価格で大容量でありながら従来のSRAMの替わりに使用可能な半導体記憶装置を提供することが可能になる。

【図2】

アドレスラッチ信号生成回路の実施例を示す回路図



14

【図面の簡単な説明】

【図1】本発明によるSRAMインターフェースを備えたDRAMの構成図である。

【図2】アドレスラッチ信号生成回路の実施例を示す回路図である。

【図3】ATDラッチ回路の実施例を示す回路図である。

【図4】チップイネーブル信号/CEを立ち下げることによりリード動作を開始した後にアドレスが遷移した場合の各信号波形を示す図である。

【図5】アドレス遷移にかかる時間が長い場合のリード動作について各信号波形を示した図である。

【図6】メモリセルアレイのコア回路の主要部分を示す回路図である。

【図7】制御信号とコア回路の各信号との関係を示す波形図である。

【符号の説明】

- 11 アドレス用入力バッファ
- 12、13、14 コマンド用入力バッファ
- 15 データ用入出力バッファ
- 16 データ制御回路
- 17 コマンドデコーダ
- 18 コア制御回路
- 19 アドレスラッチ回路
- 20 ローデコーダ
- 21 コラムデコーダ
- 22 メモリセルアレイ
- 23 アドレス遷移検出回路
- 24 チップイネーブル遷移検出回路
- 25 アドレスラッチ信号生成回路
- 26 ATDラッチ回路

【図3】

ATDラッチ回路の実施例を示す回路図

